



УКРАЇНА

(19) **UA** (11) **132648** (13) **U**
(51) МПК (2019.01)
G05B 15/00
G09B 23/00
G05B 19/00

МІНІСТЕРСТВО
ЕКОНОМІЧНОГО
РОЗВИТКУ І ТОРГІВЛІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

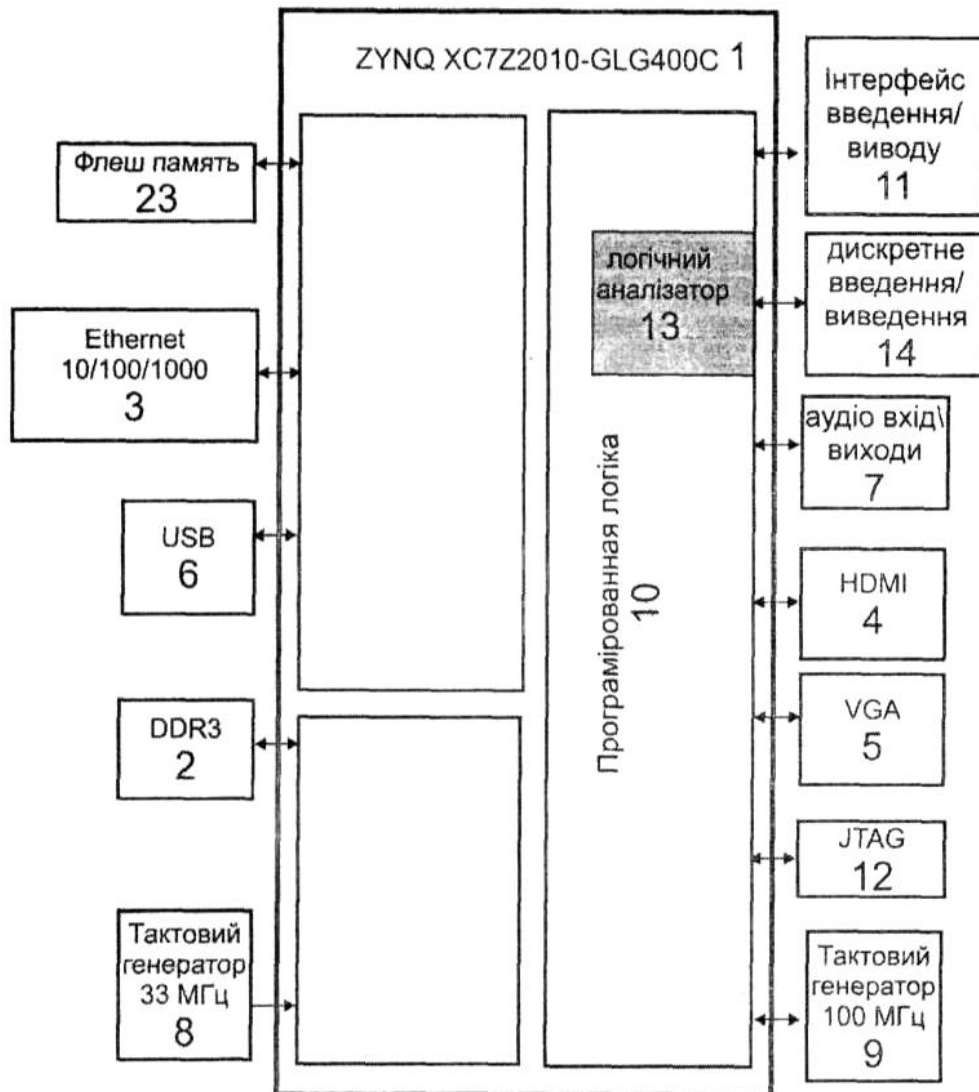
<p>(21) Номер заявки: u 2018 07673</p> <p>(22) Дата подання заявки: 09.07.2018</p> <p>(24) Дата, з якої є чинними права на корисну модель: 11.03.2019</p> <p>(46) Публікація відомостей про видачу патенту: 11.03.2019, Бюл.№ 5</p>	<p>(72) Винахідник(и): Кірєєв Ігор Юлійович (UA), Могильний Геннадій Анатолійович (UA), Донченко Володимир Юрійович (UA)</p> <p>(73) Власник(и): ДЕРЖАВНИЙ ЗАКЛАД "ЛУГАНСЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ ІМЕНІ ТАРАСА ШЕВЧЕНКА", пл. Гоголя, 1, м. Старобільськ, Луганська обл., 92703 (UA)</p>
---	---

(54) НАВЧАЛЬНО-ЛАБОРАТОРНИЙ СТЕНД ДЛЯ ВИВЧЕННЯ МОВ ПРОЕКТУВАННЯ ЦИФРОВИХ ПРИСТРОЇВ

(57) Реферат:

Навчально-лабораторний стенд для вивчення мов проектування цифрових систем складається з багатошарової друкованої плати з розташованими на ній системою на кристалі, що містить поле програмованої логіки, з пам'яттю, різними інтерфейсами, аудіовходами/виходами, тактовими генераторами, IP-ядрами, які розміщені у полі програмованої логіки, і встановленою операційною системою. У полі програмованої логіки додано оригінальне IP-ядро логічного аналізатора, з'єднаного з штировим роз'ємом дискретного порту введення/виведення, а в операційну систему, що використана при роботі пристрою як одноплатний комп'ютер, додано драйвер логічного аналізатора. При цьому невід'ємною частиною пристрою є набір плат розширення, які представляють собою закінчені рішення з встановленими на них кристалами програмованої логіки, конфігураційної пам'яті, тактовими генераторами, лінійними перетворювачами напруги і роз'ємами для підключення завантажувальних кабелів, в які завантажуються конфігураційні файли, отримані з використанням спеціалізованих програмних продуктів, які встановлюються на пристрої стенда і з'єднуються з роз'ємом порту введення/виведення логічного аналізатора.

UA 132648 U



Фіг. 1

Корисна модель належить до обчислювальної техніки, зокрема до технічних засобів навчання, і може бути використана при підготовці фахівців у вищих і середніх навчальних закладах відповідного профілю.

5 Відомий пристрій для програмування і налагодження логіки ПЛІС NanoBoard, основою якого є контролер, який здійснює зв'язок виконуваного FPGA проекту Altium Designer з "фізичною" мікросхемою ПЛІС, що встановлена на стенді для програмування, комутації та налагодження логіки проекту. У NanoBoard ПЛІС, що налагоджується, встановлюється на змінних "дочірніх" платах (Daughter Board), а на материнській платі стенда розташовуються тільки контролер, що 10 управляє процесом налагодження та програмування комутації ПЛІС, органи індикації, засоби, що імітують зв'язок ПЛІС з її зовнішнім оточенням в проєктованому функціональному вузлі, та засоби послідовного нарощування, що забезпечують можливість використання відразу декількох стендів NanoBoard в одній конфігурації.

Цей пристрій дозволяє, на засадах продукту Altium Designer, встановленого на підключеному до стенда ПК, проводити проєктування з використанням мови опису пристроїв 15 (див. В.Ю. Суходольский, Программирование и отладка логики ПЛИС на стенде. NanoBoard, Rational Enterprise Management / Рациональное Управление Предприятием / Информационно-аналитический журнал. - СПб., 2012. - № 2. - С. 62-66).

Недоліком даного пристрою є те, що процес проєктування орієнтований на схемотехнічні аспекти, що перешкоджає швидкому освоєнню мов проєктування пристроїв.

20 Так само відомий інструментальний модуль Xilinx Spartan-3E Starter Board, який складається з багатошарової плати з встановленими на ній ПЛІС XC3S500E сімейства Spartan-3E, ППЗУ серії Platform Flash XCF04S, блоком завантаження конфігураційних даних, схемою управління конфігурацією ПЛІС, допоміжною ПЛІС CPLD XC2C64A сімейства CoolRunner-II, послідовним ППЗУ EEPROM, зовнішнім високошвидкісним ОЗУ і деякими іншими допоміжними системами.

25 До складу блока завантаження конфігураційних даних входять інтегрована схема завантажувального кабелю, роз'єм USB-порту і спеціалізований роз'єм, призначений для підключення стандартних завантажувальних кабелів різних типів до JTAG-порту інструментального модуля. Виводи JTAG-портів типового конфігураційного ППЗУ XCF04S серії Platform Flash і ПЛІС XC3S500E та XC2C64A інструментального модуля з'єднані відповідним 30 чином так, що утворюють єдиний ланцюжок периферійного сканування, що дозволяє здійснювати програмування ППЗУ серії Platform Flash XCF04S і завантаження конфігураційних даних безпосередньо в ПЛІС з комп'ютера через один роз'єм за допомогою САПР серії Xilinx ISE (див. Зотов, Новый инструментальный комплект Spartan-3E Starter Kit для практического освоения методов проектирования встраиваемых микропроцессорных систем на основе ПЛИС семейств FPGA фирмы Xilinx, Компоненты и технологии: Components & Technologies, - СПб.: 35 Издательство Файнстрит, 2006. - № 10. - С. 83-92.).

Недоліком даного пристрою є необхідність використовувати для розробки та тестування отриманого проєкту або досить складний для розуміння початківцями модуль ISim, що входить 40 в САПР серії Xilinx ISE, або продукти сторонніх розробників, таких як пакет моделювання ModelSim, що випускається компанією Mentor Graphics, при цьому розробники повинні бути знайомі з формуванням Test Bench файлів, що ускладнює освоєння мов опису апаратури початківцями.

Найближчим аналогом є інструментальний модуль DL-ZyBoZynq-7000 Development Board, який складається з системи на кристалі XC7Z2010-1CLG400C, пам'яті DDR3, інтерфейсу Ethernet, інтерфейсу HDMI і VGA, USB, аудіовходу/виходу та інше. При цьому система на 45 кристалі XC7Z2010-1CLG400C містить блоки процесорної системи, що складається з процесорного модуля, інтерфейсів пам'яті, периферійних інтерфейсів, міжблочних інтерфейсів і інтерфейсів до програмованої логіки і самої програмованої логіки. Інструментальний модуль повністю сумісний з високопродуктивним середовищем розробки Vivado Design Suite і ISE/EDK. 50 Для рішень, що вимагають використання операційної системи, Vivado Digilent забезпечує інструментальний модуль DL-ZyBoZynq-7000 Development Board готовою до запуску операційною системою Linux, що оптимізована спеціально під цю плату (див. Зотов В., Аппаратные средства разработки и отладки встраиваемых микропроцессорных систем, проектируемых на основе расширяемых вычислительных платформ фирмы Xilinx семейства Zynq-7000 AP SoC / Компоненты и технологии: Components & Technologies, - СПб.: 55 Издательство Файнстрит, 2013. - № 1. - С. 80-88).

Недоліками даного пристрою з точки зору використання його для практичного вивчення мов проєктування пристроїв є дуже складна методика побудови кінцевого рішення, що вимагає використання великої кількості платних додатків, що входять в середу розробки Vivado Design Suite і відсутність швидкого і наочного способу перевірки отриманого результату. 60

В основу корисної моделі поставлено задачу забезпечення зручного і не дорогого рішення, яке дозволяє здійснювати навчання персоналу практичним навичкам проектування цифрових пристроїв, використовуючи мови опису апаратури із забезпеченням швидкої і наочної перевірки результату проектування.

5 Поставлена задача вирішується тим, що в навчально-лабораторному стенді для вивчення мов проектування цифрових систем, що складається з багатошарової друкованої плати з розташованими на ній системою на кристалі, що містить поле програмованої логіки, пам'яттю, різними інтерфейсами, аудіовходами/виходами, тактовими генераторами, IP-ядрами, які розміщені у полі програмованої логіки, і встановленою операційною системою, згідно з
10 корисною моделлю, у полі програмованої логіки додано оригінальне IP-ядро логічного аналізатора, з'єднаного з штировим роз'ємом дискретного порту введення/виведення, а в операційну систему, що використана при роботі пристрою як одноплатний комп'ютер, додано драйвер логічного аналізатора, при цьому невід'ємною частиною пристрою є набір плат розширення, які представляють собою закінчені рішення з встановленими на них кристалами
15 програмованої логіки, конфігураційної пам'яті, тактовими генераторами, лінійними перетворювачами напруги і роз'ємами для підключення завантажувальних кабелів, в які завантажуються конфігураційні файли, отримані з використанням спеціалізованих програмних продуктів, які встановлюються на пристрої стенда і з'єднуються з роз'ємом порту введення/виведення логічного аналізатора, що дозволяє проводити швидкий аналіз
20 особливостей застосування мов опису апаратури для синтезу цифрових систем.

Конфігураційні файли в платі розширення можуть бути завантажені на будь-якому комп'ютері з встановленим необхідним програмним забезпеченням.

Плати розширення перед підключенням до роз'єму логічного аналізатора можуть бути з'єднані одна з одною різними, залежними від завантажених в них базовими конструкціями,
25 способами.

В пристрої, що представляє собою багатошарову друковану плату з розміщеними на ній системою на кристалі XC7Z2010-1CLG400C 1, пам'яттю DDR3 2, інтерфейсом Ethernet 3, інтерфейсами HDMI 4 і VGA 5, USB 6, аудіовхід/виходами 7 і тактовими генераторами 8, 9, наряду з розміщеними у полі програмованої логіки 10 IP-ядрами, які реалізують інтерфейси введення/виводу 11, HDMI 4, JTAG 12, VGA 5 і USB 6, додано оригінальне IP-ядро логічного аналізатора 13, пристрій якого пов'язано з штировим роз'ємом дискретного введення/виведення
30 14 (фіг. 1).

Так само невід'ємною частиною пропонованого пристрою є набір плат розширення, які представляють собою закінчені рішення з встановленими на них FPGA кристалами фірми Xilinx сімейства Spartan-3E XC3S250-TQ100 15, кристалами конфігураційної пам'яті PROM XCF02SVO20C 16 з об'ємом 2 Мбіт, роз'ємами IDC-10MS 17 для підключення завантажувальних кабелів, тактовими генераторами 18 і лінійними перетворювачами напруги 19-21, які перетворюють напругу джерела живлення в напруги VCCINT=1.2 19 в, VCCAUX=2.5 20 в і VCCIO=3.3 21 в і роз'ємами введення/виведення 22. Живлення плат здійснюється від
40 зовнішнього стабілізованого джерела з напругою + 9...12 В (фіг. 2).

Для роботи запропонованого пристрою, як навчально-лабораторного стенда для практичного вивчення мов проектування пристроїв, пропонується на останній встановлювати вільно поширювану Xilinx версію ОС Linux з відкритим вихідним кодом, адаптовану під налагоджувальні плати для Zynq-7000, яка повинна розміщуватися у флеш пам'яті 23 і завантажуватися при включенні живлення. У даній операційній системі пропонується встановлювати розроблений заявником драйвер логічного аналізатора.

Використання ОС Linux дозволяє використовувати запропоновану плату як одноплатний комп'ютер, запускати на ньому додаток Xilinx ISE WebPACK, в якому, використовуючи мови проектування пристроїв, формувати бітовий конфігураційний файл і завантажувати його за допомогою будь-якого з завантажувальних кабелів в конфігураційну пам'ять FPGA кристалу плати розширення 19, підключеної програмованими виводами 22 до дискретного вводу/виводу логічного аналізатора 13, і після завантаження конфігураційного файлу проводити аналіз отриманих результатів, використовуючи вбудований логічний аналізатор.

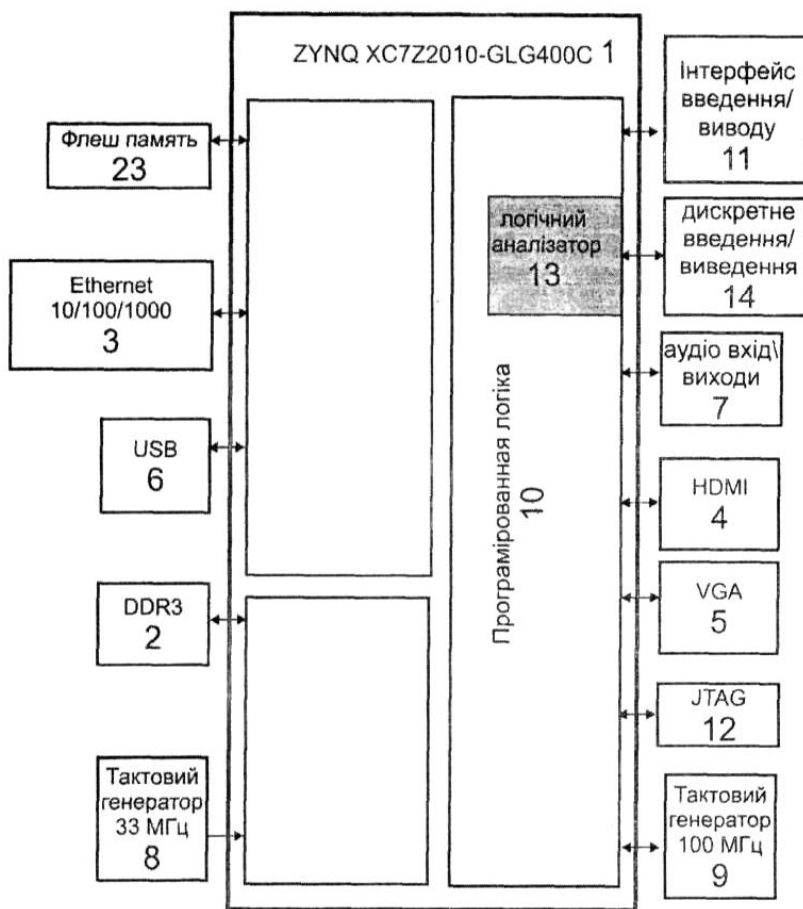
Бітові потоки в платі розширення також можуть бути завантажені на будь-якому комп'ютері з встановленим необхідним програмним забезпеченням, згідно з планом вивчення мови проектування пристроїв і потім, в разі необхідності, комбінуючи підключення плат розширення із завантаженими відповідними файлами базових конструкцій між собою і навчально-лабораторним стендом можна ілюструвати особливості застосування мов опису апаратури для синтезу цифрових систем.

Таким чином запропонований пристрій дозволяє забезпечити зручне і не дороге рішення, що дозволяє здійснювати навчання персоналу практичним навичкам проектування цифрових пристроїв з використанням мов опису апаратури, забезпечуючи швидкість і наочність перевірки результату проектування.

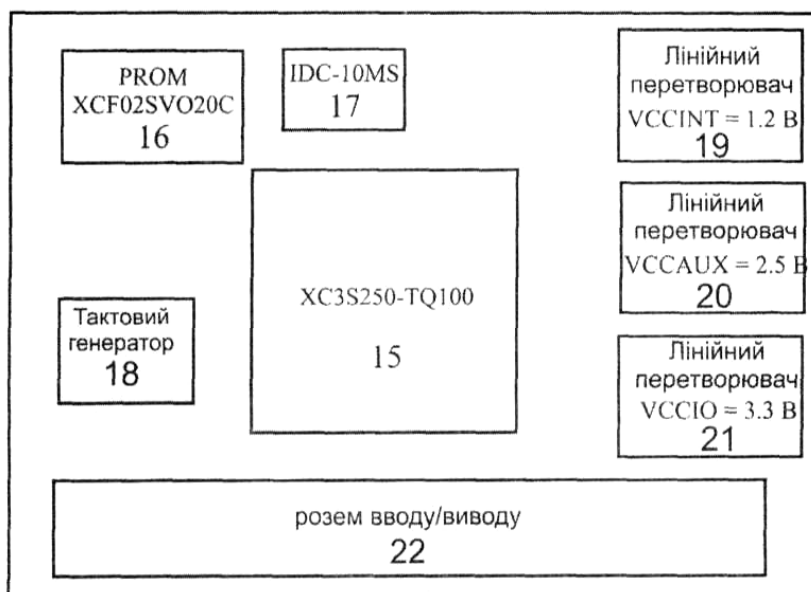
5

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

1. Навчально-лабораторний стенд для вивчення мов проектування цифрових систем, що складається з багат шарової друкованої плати з розташованими на ній системою на кристалі, що містить поле програмованої логіки, з пам'яттю, різними інтерфейсами, аудіовходами/виходами, тактовими генераторами, IP-ядрами, які розміщені у полі програмованої логіки, і встановленою операційною системою, який **відрізняється** тим, що у полі програмованої логіки додано оригінальне IP-ядро логічного аналізатора, з'єднаного з штировим роз'ємом дискретного порту введення/виведення, а в операційну систему, що використана при роботі пристрою як одноплатний комп'ютер, додано драйвер логічного аналізатора, при цьому невід'ємною частиною пристрою є набір плат розширення, які представляють собою закінчені рішення з встановленими на них кристалами програмованої логіки, конфігураційної пам'яті, тактовими генераторами, лінійними перетворювачами напруги і роз'ємами для підключення завантажувальних кабелів, в які завантажуються конфігураційні файли, отримані з використанням спеціалізованих програмних продуктів, які встановлюються на пристрої стенда і з'єднуються з роз'ємом порту введення/виведення логічного аналізатора, що дозволяє проводити швидкий аналіз особливостей застосування мов опису апаратури для синтезу цифрових систем.
2. Стенд за п. 1, який **відрізняється** тим, що конфігураційні файли в платі розширення можуть бути завантажені на будь-якому комп'ютері з встановленим необхідним програмним забезпеченням.
3. Стенд за п. 1, який **відрізняється** тим, що плати розширення перед підключенням до роз'єму логічного аналізатора можуть бути з'єднані одна з одною різними, залежними від завантажених в них базових конструкцій, способами.



Фіг. 1



Фіг. 2

Комп'ютерна верстка О. Рябко

Міністерство економічного розвитку і торгівлі України, вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601